

原理图PCB设计CHECKLIST

1.1 芯片电源地设计

√	Items	参考资料	备注
	IO 电压支持 1.8V 和 3.3V 两种配置，请确保与所连接外设电平匹配。如电平不一致，需添加电平转换器。		
	确保电源上电顺序符合芯片要求： - VDD0P8_CORE 必须先于 VDD1P8 和所有 VDDI03P3_x IO 上电。 - AVDD0P8_MIPI 必须先于 AVDD1P8_MIPI 上电。 - AVDD1P8_RTC 不得晚于 AVDD1P8_LDO 上电。 其余无严格顺序要求。		
	所有电源域必须供电。即使未使用 ADC 和 CODEC，AVDD1P8_ADC 与 AVDD1P8_CODEC 仍需供电，对应 AVSS 接系统 GND。		
	AVDD0P8_PLL 与 VDD0P8_CORE 之间通过磁珠隔离（100Ω@100MHz），并配合电容构成 L 型滤波网络。		
	VAA_DDR 与 1.8V 之间、AVDD0P8_MIPI 与 0.8V、AVDD1P8_MIPI 与 1.8V 同样应通过磁珠隔离并构建滤波回路。。		

1.2 boot电路设计

√	Items	参考资料	备注
	按照芯片规范设计启动方式，包括 BOOT0 和 BOOT1 引脚配置。		

√	设计 BOOT 按键时，按下后 BOOT0 和 BOOT1 的电平应与默认启动模式不同，以触发切换。		
---	--	--	--

1.3主芯片时钟电路设计

√	Items	参考资料	备注
	系统主晶振为 24MHz，频率偏差不超过 ±20ppm。		
	若采用无源晶体，XIN 与 XOUT 之间应串联 1MΩ 电阻（或预留焊位）。		
	若采用有源晶体，需使用 1.8V 供电输出，输出连接至 XIN，XOUT 悬空。		
	RTC 晶体使用 32.768kHz，最大偏差 ±20ppm。		

1.4DDR电路设计(只适用于K230)

√	Items	参考资料	备注
	建议 DDR SWAP 关系参考 “庐山派” 开发板设计保持一致性。		如需更改 SWAP 关系，请将原理图提交嘉楠技术支持进行审核。

1.5PMU电路设计

√	Items	参考资料	备注
	AVDD1P8_LDO 和 AVDD1P8_RTC 必须持续供电。		
	INT0 建议连接按键，并由 PMU 电源供电； INT4 需上拉至 PMU 电源。		

1.6SENSOR电路设计

√	Items	参考资料	备注
	Sensor 接口连接至 SoC 的 MIPI RX。		
	Sensor 控制信号（如 I2C、RST）需与对接 IO 的电平一致。		
	MIPI 差分信号（Data Lanes、Clock Lane）排布中，信号间隔应至少插入一个 GND 管脚。		

1.7显示接口电路设计

√	Items	参考资料	备注
	显示接口连接至 SoC 的 MIPI TX。		
	控制信号（如 I2C、RST）电平应与对应 IO 匹配。		
	MIPI 差分信号（Data Lanes、Clock Lane）排布中，信号间隔应至少插入一个 GND 管脚。		

1.8MMC电路设计

√	Items	参考资料	备注
	建议MMC0对接EMMC，MMC1对接SDIO，与SDK软件默认设计保持一致。注意检查MMC电平，确保和外设电平保持一致。		
	对接EMMC时，CMD信号，DAT信号，要外接上拉电阻。阻值在10K-100K之间。DS信号需要外接下拉电阻，阻值在10K-100K之间。		
	对接SDIO时，CMD信号，DAT信号需要外接上拉电阻。阻值在10K-100K之间。		

1.9USB2.0电路设计

√	Items	参考资料	备注
---	-------	------	----

	USB2.0 信号上要有 ESD 保护措施，ESD 器件的寄生电容要求小于 1pF，ESD 器件靠近 USB 接口放置。		
--	--	--	--

1.10模拟音频电路设计

√	Items	参考资料	备注
	MICBIAS电压由模拟MIC供电电压决定，通过软件配置。		
	MICBIAS需要靠近管脚放置一个4.7UF，一个100NF的对地电容。		
	MICPR，MICNR，MICPL，MICNL接模拟MIC输入，需要加100NF隔直电容。		
	HPOUTL，HPOUTR可以接音频功放输出也可以接耳机输出，需要加100NF隔直电容。		
	CODEC_VCM引脚需要放置一个4.7UF，一个100NF的对地电容。		

1.11数字音频设计

√	Items	参考资料	备注
	SOC对接PDM MIC时， • PDM_CLK接数字MIC的CLK。 • 对应数字MIC的DATA。 • 一路PDM_IN同时对接左右声道2个数字MIC 的DATA信号。		
	PDM接口的电平幅度要和数字MIC 的电平幅度保持一致。		
	SOC对接I2S MIC时， • I2S_CLK对接数字MIC的CLK。 • I2S_WS对接数字MIC的WS信号，I2S_DIN对接I2SMIC的DATA信号。 • 一路I2S_DIN同时对接左右声道的2个数字MIC的DATA信号。		

√	I2S接口的电平幅度要和数字MIC 的电平幅度保持一致。		
---	------------------------------	--	--

1.12FLASH电路设计

√	Items	参考资料	备注
	SOC对接SPI FLASH时，QSPI_CS对接FLASH片选信号，QSPI_CLK对接FLASH时钟信号。其他IO信号按顺序对齐。		
	SPI FLASH的IO电平要和对接的QSPI接口电平保持一致。		
	FLASH所有IO需要上拉，推荐上拉电阻阻值为4.7kΩ。		

2.1SOC供电PCB设计

√	Items	参考资料	备注
	如果原理图中VDD0P8_CORE、VDD0P8_CPU、VDD0P8_KPU、VDD0P8_DDR_CORE这几路电源合并供电，滤波电容摆放，参考庐山派。		
	VDD1P1_DDR_IO滤波电容摆放，SOC侧，DDR颗粒侧，请参考庐山派。		
	如果原理图中VDD1P8、AVDD1P8_USB、AVDD1P8_RTC、AVDD1P8_LDO 1.8V、1.8VIO这几路电源合并供电，滤波电容摆放，参考庐山派。		
	如果原理图中AVDD3P3_USB和3.3VIO合并供电，滤波电容摆放，参考庐山派。		

2.2晶体电路PCB设计

√	Items	参考资料	备注

√	晶体的 Xin、Xout、RTC_XIN、RTC_XOUT 信号走线全程做包地处理，并保证这些信号有完整的参考平面。		
---	--	--	--

2.3DDR部分PCB设计（仅适用于K230）

√	Items	参考资料	备注
	DDR部分PCB设计，包括供电、线宽、线距、走线长度、包地、滤波电容放置、匹配方式。建议完全拷贝庐山派设计，		如果自行设计DDR部分PCB，请将PCB提交嘉楠技术支持进行审核。

2.4EMMC部分PCB设计

√	Items	参考资料	备注
	信号以GND为参考平面，并保持信号参考平面完整。		
	EMMC_DATA[0:7]、EMMC_CMD、EMMC_DS 走线长度不大于2INCH.。		
	EMMC_DATA[0:7]、EMMC_CMD、EMMC_DS的线长以 EMMC_CLK 的线长为基准，误差控制在±50mil 以内。		

2.5USB2.0PCB设计

√	Items	参考资料	备注
	差分信号组内走线长度偏差控制在±5mil 以内，差分阻抗控制在 90Ω。		
	差分信号必须以 GND 为参考平面，并保持信号参考平面完整。		
	USB2.0 接口外接插座时，差分信号线走线长度不大于 5inch。		
	USB2.0 走线信号换层过孔附近需要放置一对GND 过孔做伴随GND，以获取更好的信号质量。		

√	避免邻近其他信号，并保证与其他信号的间距大于20mil。		
---	------------------------------	--	--

2.6MIPI RX PCB设计

√	Items	参考资料	备注
	差分信号以 GND 为参考平面，并保持参考平面完整。		
	差分信号线走线长度不超过 3inch。		
	MIPI0 的数据信号、MIPI1、MIPI2 的时钟和数据信号线长均以 MIPI0 的时钟信号线长为基准，偏差控制在±50mil 以内。		
	差分信号组内走线长度偏差控制在±10mil 以内，差分阻抗控制在 100Ω。		

2.7MIPI TX PCB设计

√	Items	参考资料	备注
	差分信号以 GND 为参考平面，并保持参考平面完整。		
	差分信号线走线长度不超过 3inch。		
	MIPI0 的数据信号、MIPI1、MIPI2 的时钟和数据信号线长均以 MIPI0 的时钟信号线长为基准，偏差控制在±50mil 以内。		
	差分信号组内走线长度偏差控制在±10mil 以内，差分阻抗控制在 100Ω。		

2.8模拟音频PCB设计

√	Items	参考资料	备注

	模拟音频输入输出信号、MICBIAS 信号以 GND 为参考平面，并保证参考平面完整。		
	模拟音频输入输出信号、MICBIAS 信号要求全程包地处理，并且相邻信号之间的GND 过孔均匀放置。		

2.9 TF卡信号PCB设计

√	Items	参考资料	备注
	信号以GND为参考平面，并保持信号参考平面完整。		
	TF卡DATA[0:3]、CMD 的线长以 CLK 的线长为基准，偏差控制在±50mil。		
	走线长度不超过4INCH。		

2.10 FLASH信号PCB设计

√	Items	参考资料	备注
	信号以GND为参考平面，并保持信号参考平面完整。		
	FLASH DATA、CS 的线长以 CLK 的线长为基准，偏差控制在±50mil。		
	走线长度不超过3INCH。		